

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji SAKAUE, et al.

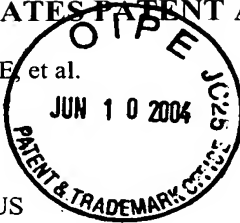
GAU: 2185

SERIAL NO: 10/787,183

EXAMINER:

FILED: February 27, 2004

FOR: ECC CONTROL APPARATUS



REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-054686	February 28, 2003
JAPAN	2004-016180	January 23, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0351189
10/787,183 1/2

日 本 国 特 許 庁
JAPAN PATENT OFFICE

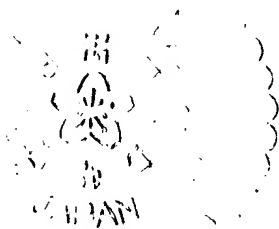
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 4 6 8 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 4 6 8 6]

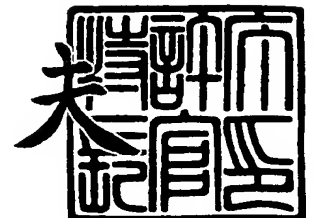
出 願 人 東芝マイクロエレクトロニクス株式会社
Applicant(s): 株式会社東芝



2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 6 8 5

【書類名】 特許願

【整理番号】 A000206164

【提出日】 平成15年 2月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 E C C 制御装置

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

 【氏名】 坂上 健二

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

 【氏名】 助川 博

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

 【氏名】 角田 仁

【特許出願人】

 【識別番号】 000221199

 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9105411

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 E C C 制御装置

【特許請求の範囲】

【請求項 1】 ホストとの間でデータの入力及び出力を行う第 1 の入出力回路と、

前記第 1 の入出力回路により入力された所定のブロック単位の書き込みブロックデータのうち、所定単位の保護領域データとそれ以外の冗長領域データとを検出する検出回路と、

前記検出回路により検出された保護領域データに対してエラー訂正符号を生成する生成回路と、

前記検出回路により検出された冗長領域データに前記生成回路により生成されたエラー訂正符号を挿入する訂正符号挿入回路と、

メモリとの間でデータの入力及び出力を行う第 2 の入出力回路とを具備することを特徴とする E C C 制御装置。

【請求項 2】 前記訂正符号挿入回路は、前記冗長領域のうち所定の位置に前記エラー訂正符号を挿入することを特徴とする請求項 1 に記載の E C C 制御装置。

【請求項 3】 前記生成回路は、前記保護領域データと、前記冗長領域のうち前記エラー訂正符号を挿入する直前までのデータとに対してエラー訂正符号を生成することを特徴とする請求項 2 に記載の E C C 制御装置。

【請求項 4】 前記第 2 の入出力回路により入力された上記所定のブロック単位の読み込みブロックデータに対してデータ誤り検出演算を行う演算回路と、

前記演算回路によりデータ誤りが検出された場合に、訂正に必要な訂正情報を作成する訂正回路とをさらに具備することを特徴とする請求項 3 に記載の E C C 制御装置。

【請求項 5】 前記演算回路によりデータ誤りが検出された場合に、誤りデータ数が予め決められたデータ数以上であるか否かを判定する判定回路と、

前記判定回路により予め決められたデータ数以上であると判定された場合に、訂正不可能である旨を表す異常終了情報を作成する作成回路とをさらに具備する

ことを特徴とする請求項 4 に記載の E C C 制御装置。

【請求項 6】 前記第 1 の入出力回路により入力された書き込みデータ転送中を示す書込可能信号のパルスのカウントするカウンタと、

前記カウンタによりカウントされた値が予め決められた値になった時に、前記書込可能信号のパルスをマスクすることにより前記書込可能信号から第 1 のクロックを生成するクロック生成回路とをさらに具備することを特徴とする請求項 1 に記載の E C C 制御装置。

【請求項 7】 前記カウンタは、前記第 1 の入出力回路により入力された読み込みデータ転送中を示す読出可能信号のパルスのカウントする機能をさらに具備し、

前記クロック生成回路は、前記カウンタによりカウントされた値が予め決められた値になった時に、前記読出可能信号のパルスをマスクすることにより前記読出可能信号から第 2 のクロックを生成することを特徴とする請求項 6 に記載の E C C 制御装置。

【請求項 8】 前記カウンタは、前記第 1 の入出力回路によりデータのアドレス情報を示すアドレス信号が入力された場合にパルスのカウントを開始することを特徴とする請求項 6 又は 7 に記載の E C C 制御装置。

【請求項 9】 前記メモリにアクセス中であることを示すアクセス可能信号のアサートを継続するモードであるアクセス継続モードを備え、前記ホストから当該モードが選択された場合に、前記メモリに対してアクセス可能信号のアサートを継続して行うアクセス継続回路をさらに具備することを特徴とする請求項 1 に記載の E C C 制御装置。

【請求項 10】 ホストに対して割り込みを通知するための割込信号を前記第 1 の入出力回路より前記ホストに対して出力する際に、前記訂正情報或いは前記異常終了情報を含むエラーステータス情報を前記第 1 の入出力回路より出力するよう制御するエラー情報割込回路をさらに具備することを特徴とする請求項 5 に記載の E C C 制御装置。

【請求項 11】 前記ホストより指定されるブロックデータのフォーマット情報に基づいて前記生成回路により生成されたエラー訂正符号を書き込む領域を

特定する領域特定回路をさらに具備し、

前記訂正符号挿入回路は、前記領域特定回路により特定された領域に前記エラー訂正符号を挿入することを特徴とする請求項 1 に記載の E C C 制御装置。

【請求項 1 2】 当該 E C C 制御装置に対して予め決められた命令を表す専用コマンドが前記第 1 の入出力回路より入力された場合に、前記専用コマンドを実行し、かつ前記専用コマンドを前記メモリに通知しないよう制御する専用コマンド回路をさらに具備することを特徴とする請求項 1 に記載の E C C 制御装置。

【請求項 1 3】 前記第 1 の入出力回路により入力された信号の遅延時間を調整する遅延調整回路をさらに具備することを特徴とする請求項 1 に記載の E C C 制御装置。

【請求項 1 4】 前記遅延調整回路は、前記ホストが前記メモリを制御する制御信号に対して遅延時間を調整することを特徴とする請求項 1 3 に記載の E C C 制御装置。

【請求項 1 5】 前記第 1 の入出力回路より入力された書き込みデータ或いは前記第 2 の入出力回路より入力された読み込みデータを、前記遅延調整回路により遅延時間を調整された制御信号に基づいてラッチする第 1 のラッチ回路をさらに具備したことを特徴とする請求項 1 3 に記載の E C C 制御装置。

【請求項 1 6】 前記第 1 の入出力回路より入力された書き込みデータ或いは前記第 2 の入出力回路より入力された読み込みデータを、前記第 1 の入出力回路より入力された制御信号に基づいてラッチする第 2 のラッチ回路をさらに具備したことを特徴とする請求項 1 5 に記載の E C C 制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ホストからのデータをメモリに記憶し、またはメモリに記憶したデータをホストに読み出す時に用いられる E C C (Error Check and Correct) 制御装置に係り、特にホストとメモリとの間のバスを中断して挿入される E C C 制御装置に関する。

【0002】

【従来の技術】

半導体メモリ、例えばメモリカードにおいて、内蔵されるメモリセルが記憶できる値を 2 値から多値に変更することで、メモリカードの大容量化が進められている。しかし、メモリセルに多値を用いたメモリカード（以後、多値メモリカードという）では、データの書き込み及び消去の繰り返しによるメモリセルの劣化により、記憶データの信頼性が 2 値メモリカードに比べて低下してしまう。

【0 0 0 3】

このようなメモリセルの信頼性の低下を防止するための方法として、新たなエラー訂正手段を備えた記憶装置が提案されている（例えば、特許文献 1）。

【0 0 0 4】**【特許文献 1】**

特開 2 0 0 0 - 3 4 9 6 5 2 号公報

【0 0 0 5】**【発明が解決しようとする課題】**

ところが、新たなエラー訂正手段を追加するには、メモリカード或いはメモリカードにデータの書き込み等を行うホストの回路変更等を行う必要がある。また、ホストの回路変更を行った場合に、エラー訂正のためにホストの負担が増大する不都合が生じる場合がある。このような事情は一般のホストとメモリの関係についても同様である。

【0 0 0 6】

本発明は、上記のような事情に鑑みてなされたもので、ホスト或いはメモリにおける既存の回路等を変更することなく、且つホストの負担を増やすことなく ECC の機能強化が可能な ECC 制御装置を提供することを目的とする。

【0 0 0 7】**【課題を解決するための手段】**

この発明の一態様によれば、ホストとの間でデータの入力及び出力を行う第 1 の入出力回路と、前記第 1 の入出力回路により入力された所定のブロック単位の書き込みブロックデータのうち、所定単位の保護領域データとそれ以外の冗長領域データとを検出する検出回路と、前記検出回路により検出された保護領域デー

タに対してエラー訂正符号を生成する生成回路と、前記検出回路により検出された冗長領域データに前記生成回路により生成されたエラー訂正符号を挿入する訂正符号挿入回路と、メモリとの間でデータの入力及び出力を行う第2の入出力回路とを具備することを特徴とするECC制御装置が提供される。

【0008】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0009】

図1は、この実施形態の全体構成を表すブロック図である。

本実施形態では、メモリカードとして例えばNANDフラッシュメモリ2を用いている。ホスト3は、例えばパーソナルコンピュータからなり、上記NANDフラッシュメモリ2にデータの書き込み、データの読み込み等を行う。さらに、上記ホスト3とNANDフラッシュメモリ2との間に、ECCコントローラ1を備えている。

【0010】

上記ホスト3とECCコントローラ1とは、8ビットの双方向バスFDH[7:0]（以後、バスFDHと表す）と、4ビットのチップイネーブル（CE[3:0]）信号の信号線5と、リードイネーブル（RE）信号及びライトイネーブル（WE）信号の信号線6と、アドレスラッチイネーブル（ALE）信号及びコマンドラッチイネーブル（CLE）信号の信号線7とにより接続される。バス及び信号線のビット数は上記に限定されるものではない。上記バスFDHは、上記ECCコントローラ1に設けられたI/Oレジスタ（図示せず）にアクセス時のデータ転送に用いるデータバスである。上記ホスト3は、NANDフラッシュメモリ2に対するコマンドデータ、アドレスデータ及びライトデータをバスFDHに出力する。また上記ホスト3は、NANDフラッシュメモリ2から出力されたリードデータ及びNANDフラッシュメモリ2内部ステータス情報等をバスFDHを介して読み込む。また上記ホスト3は、上記ECCコントローラ1から出力されるエラー訂正情報等をバスFDHを介して読み込む。

【0011】

上記CE[3:0]信号は、上記ホスト3が上記NANDフラッシュメモリ2にアクセス中であることを示す信号である。上記RE信号は、上記バスFDHをリードデータが転送中であることを示す信号である。上記WE信号は、上記バスFDHをライトデータが転送中であることを示す信号である。上記ALE信号は、上記バスFDHをアドレスデータが転送中であることを示す信号である。上記CLE信号は、上記バスFDHをコマンドデータが転送中であることを示す信号である。

【0012】

上記ECCコントローラ1とNANDフラッシュメモリ2とは、8ビットの双方向バスFDN[7:0]（以後、バスFDNと表す）と、4ビットのチップイネーブル（CEo[3:0]）信号の信号線8と、リードイネーブル（REo）信号及びライトイネーブル（WEo）信号の信号線9と、アドレスラッチイネーブル（ALEo）信号及びコマンドラッチイネーブル（CLEo）信号の信号線10により接続される。上記ECCコントローラ1から出力される各イネーブル信号は、上記ホスト3から出力される各イネーブル信号に基づいて生成される。この生成処理については後述する。

【0013】

上記NANDフラッシュメモリ2とホスト3とは、レディー／ビジー（R/B）信号の信号線11と、その他信号の信号線12により接続される。なお、ECCコントローラ1を挿入する場合と挿入しない場合とで変更のない信号は、図1中のその他信号として表示している。上記R/B信号は、上記NANDフラッシュメモリ2のレディー或いはビジー状態を表す信号である。上記NANDフラッシュメモリ2からデータを読み出す場合、ホスト3はリードコマンドを発行した後、上記NANDフラッシュメモリ2がレディーになった時点でデータの読み込みが可能となる。一方、上記NANDフラッシュメモリ2へデータを書き込む場合、ホスト3は自動プログラムコマンドを発行した後、上記NANDフラッシュメモリ2がレディーになった時点で次のデータの書き込みが可能となる。

【0014】

図2は、ECCコントローラ1の内部構成を示すブロック図である。同図において、データバス／訂正回路100は、ライトデータ及びリードデータのデータバス処理と、ECCコードの生成及びデータ訂正等の処理を行う。イネーブルイ

インターフェース／クロックジェネレータ回路 2 0 0 は、各イネーブル信号の遅延時間調整と、RE信号及びWE信号からのクロック生成を行う。カウンタ 4 0 0 は、RE信号またはWE信号のパルスをカウントし、カウント値を制御回路 3 0 0 に送出する。

【 0 0 1 5 】

制御回路 3 0 0 は、上記データパス／訂正回路 1 0 0 及びイネーブルインターフェース／クロックジェネレータ回路 2 0 0 が行う処理に必要な制御信号を生成し、この生成した制御信号を上記 2 つの回路に出力する。

【 0 0 1 6 】

また上記制御回路 3 0 0 は、バスの監視機能を備え、この機能により上記バス FDH 及びバス FDN の入出力データを監視する。E C C コントローラ 1 の入出力データがない時は、これらのバス FDH あるいは FDN にデータを送出しない。これは、制御回路 3 0 0 が、制御信号 NOUTE 及び HOUTE を生成し、図 4 に示すデータパス／訂正回路 1 0 0 内のトライステートバッファ 1 0 6 及び 1 1 1 を制御することにより行う。

【 0 0 1 7 】

さらに上記制御回路 3 0 0 は、クロックモード制御機能 3 0 1 と、C E モード制御機能 3 0 2 と、E C C 領域制御機能 3 0 3 と、エラー割り込み制御機能 3 0 4 と、専用コマンド実行モード制御機能 3 0 5 とを備える。

【 0 0 1 8 】

クロックモード制御機能 3 0 1 は、通常のクロックモードと WE／RE クロック代用モードとの制御を行う。E C C コントローラ 1 は、ホスト 3 から取得したクロックを使用する通常のクロックモードと、RE信号及びWE信号を使用して E C C コントローラ 1 の動作に必要なクロック (CLK) を生成する WE／RE クロック代用モードとを備える。上記クロックモード制御機能 3 0 1 は、上記 2 つのモードの選択を行う。また、上記 WE／RE クロック代用モードが選択された場合には、上記カウンタ 4 0 0 によるカウント値を使用して、上記 RE信号及びWE信号を厳密なタイミングでマスクすることで CLK を生成する。

【 0 0 1 9 】

CEモード制御機能302は、ダイナミックCEモードとスタティックCEモードとを制御する。ECCコントローラ1は、チップイネーブルのモードとして、ホスト3から入力される上記CE[3:0]信号に基づいて上記CEo[3:0]信号を生成するダイナミックCEモードと、ECCコントローラ1が擬似的なチップイネーブル信号を生成するスタティックCEモードとを備える。上記CEモード制御機能302は、上記2つのモードの選択を行う。また上記CEモード制御機能302は、上記スタティックCEモードが選択された場合に、スタティックCE信号を生成してNANDフラッシュメモリ2に出力する。

【0020】

ECC領域制御機能303は、ECCコントローラ1が生成したECCコードを挿入するデータ上の位置を、後述する各データフォーマットに基づいて変更する。また、上記ECC領域制御機能は、ECCコードを挿入するタイミングを制御し、このタイミングに基づいて制御信号NDOSを生成する。

【0021】

エラー割り込み制御機能304は、ホスト3に対して割り込みモードでエラー訂正処理を行う場合、割り込み信号をアサートすると同時に割り込み内容情報を生成して上記バスFDHに出力し続ける。ホスト3が当該割り込みを受け付けるのを検出すると、割り込み内容情報の出力を省略し、エラーアドレス等のエラー情報の出力を行う。

【0022】

専用コマンド実行モード制御機能305は、ホスト3から入力されるECCコントローラ1用の命令として定義された専用コマンドを検出すると、所定のコマンドを実行する。さらに、上記専用コマンドをマスクして、NANDフラッシュメモリ2に出力されないように処理を行う。

【0023】

図3は、イネーブルインターフェース／クロックジェネレータ回路（以後、EI／CG回路という）200の回路構成を示すブロック図である。

上記EI／CG回路200に入力されたCE[3:0]信号は、インバータ回路201とセクタ202に入力される。なお前述したように、当該ECCコントロー

ラ 1 は、チップイネーブルのモードとしてダイナミック C E モードとスタティック C E モードとを備える。通常、E C C コントローラ 1 はダイナミック C E モードで動作する。このダイナミック C E モードでは、上記セクタ 202 はホスト 3 から入力される上記 C E [3:0] 信号をスルー出力する。スタティック C E モードについては後述する。上記セクタ 202 から出力された信号は、遅延回路 203 により所定時間遅延され、バッファ 204 を介して信号線 8 から C E o [3:0] として出力される。上記インバータ回路 201 から出力された信号 (C E i N) は、ゲート回路 207 とゲート回路 215 とに入力される。

【0024】

上記 E I / C G 回路 200 に入力された W E 信号は、遅延回路 205 とゲート回路 207 とセクタ 208 と A N D 回路 221 とに入力される。上記遅延回路 205 に入力された W E 信号は、所定時間遅延され、バッファ 206 を介してクロック W E _ C L K として出力される。上記ゲート回路 207 から出力された信号は、セクタ 208 に入力される。上記セクタ 208 は、ダイナミック C E モードでは上記 W E 信号を選択する。上記セクタ 208 から出力された信号は、N O R 回路 209 に入力される。上記 N O R 回路 209 は、上記セクタ 208 から入力された信号を、上記制御回路 300 から入力される M S K _ W E 信号に基づいてマスクした信号を出力する。上記 N O R 回路 209 から出力された信号は、遅延回路 210 により所定時間遅延され、インバータ回路 211 に入力される。上記インバータ回路 211 から出力された信号は、一方は W E o 信号として、もう一方はバッファ 212 を介してクロック W E o _ C L K として出力される。

【0025】

上記 E I / C G 回路 200 に入力された R E 信号は、遅延回路 213 とゲート回路 215 とセクタ 216 と上記 A N D 回路 221 とに入力される。上記遅延回路 213 に入力された R E 信号は、所定時間遅延され、バッファ 214 を介してクロック R E _ C L K として出力される。上記ゲート回路 215 から出力された信号は、セクタ 216 に入力される。上記セクタ 216 は、ダイナミック C E モードでは上記 R E 信号を選択する。上記セクタ 216 から出力された信号は、N O R 回路 217 に入力される。上記 N O R 回路 217 は、上記セクタ 216 から入

力された信号を、上記制御回路 3 0 0 から入力される MSK_RE 信号に基づいてマスクした信号を出力する。上記 NOR 回路 2 1 7 から出力された信号は、遅延回路 2 1 8 により所定時間遅延され、インバータ回路 2 1 9 に入力される。上記インバータ回路 2 1 9 から出力された信号は、一方は REo 信号として、もう一方はバッファ 2 1 2 を介してクロック REo_CLK として出力される。

【 0 0 2 6 】

上記 WE 信号と RE 信号が入力された上記 AND 回路 2 2 1 から出力された信号は、セクタ 2 2 2 に入力される。上記セクタ 2 2 2 は、上記 AND 回路 2 2 1 から入力されたデータと上記ダイレクトクロック (DCLK) とのいずれかを、上記制御回路 3 0 0 から入力される DCLKSEL 信号に基づいて選択する。上記セクタ 2 2 2 から出力されたデータは、遅延回路 2 2 3 により所定時間遅延され、バッファ 2 2 4 を介して CLK として出力される。

【 0 0 2 7 】

上記 E I / C G 回路 2 0 0 に入力された CLE 信号は、遅延回路 2 2 5 により所定時間遅延され、バッファ 2 2 6 を介して CLEo 信号として出力される。上記 E I / C G 回路 2 0 0 に入力された ALE 信号は、遅延回路 2 2 7 により所定時間遅延され、バッファ 2 2 8 を介して ALEo 信号として出力される。

【 0 0 2 8 】

上記遅延回路 2 0 3, 2 0 5, 2 1 0, 2 1 3, 2 1 8, 2 2 3, 2 2 5, 2 2 7 の遅延時間は、E C C コントローラ 1 の内部遅延を同一に揃え、かつホスト 3 のバスタイミングを保つことができる値に設定される。

【 0 0 2 9 】

図 4 は、データバス／訂正回路 1 0 0 の回路構成を示す図である。

上記バス FDH から入力されたデータは、バッファ 1 0 1 に入力される。上記バッファ 1 0 1 から出力されたデータは、信号線 FDHI[7:0] を介してセクタ 1 0 5 とフリップフロップ 1 0 2 に入力される。上記フリップフロップ 1 0 2 は、クロック WE_CLK に基づいて入力データのラッチを行う。上記フリップフロップ 1 0 2 から出力されたデータは、信号線 HDI_WEi[7:0] を介してセクタ 1 0 3 とセクタ 1 1 2 に入力される。上記セクタ 1 1 2 に入力されたデータは、制御回路

300から入力される制御信号DINSにより選択され、信号線DIN[7:0]を介して訂正符号／シンドローム回路113に入力される。

【0030】

上記訂正符号／シンドローム回路113は、ホスト3からNANDフラッシュメモリ2に書き込むライトデータに対して、ECCコード（符号化方式として、例えばリードソロモン符号）を生成する。この生成されたECCコードは、信号線CODE[7:0]を介して上記セクタ103に入力される。上記セクタ103は、制御回路300から入力される制御信号NDOSに基づいて、上記信号線HDI_WEi[7:0]のデータに上記ECCコードを挿入する。上記セクタ103から出力されたデータは、フリップフロップ104に入力される。

【0031】

上記フリップフロップ104は、クロックWEo_CLKに基づいて入力データのラッチを行う。上記フリップフロップ104から出力されたデータは、信号線NDO_WEoN[7:0]を介してセクタ105に入力される。上記セクタ105は、制御回路300から入力される制御信号FDHISに基づいて、信号線FDHI[7:0]のデータを出力するか、或いは信号線NDO_WEoN[7:0]のデータを出力するかを選択する。上記セクタ105から出力されたデータは、トライステートバッファ106に入力される。上記トライステートバッファ106は、制御回路300から入力される制御信号NOUTEに基づいてデータの出力を行う。上記トライステートバッファ106から出力されたデータは、上記バスFDNから上記NANDフラッシュメモリ2へ出力される。

【0032】

一方、上記バスFDNから入力された読み出しデータは、バッファ107に入力される。なお、上記バッファ101、107は、外部回路との相互作用防止等のために用いる。上記バッファ107から出力されたデータは、信号線NDHI[7:0]を介してフリップフロップ108に入力される。上記フリップフロップ108は、クロックRE_CLKに基づいて入力データのラッチを行う。上記フリップフロップ108から出力されたデータは、信号線NDI_REo[7:0]を介してセクタ109とセクタ112に入力される。上記セクタ112に入力されたデータは、制御

回路 3 0 0 から入力される制御信号DINSにより選択され、信号線DIN[7:0]を介して訂正符号／シンドローム回路 1 1 3 に入力される。

【 0 0 3 3 】

上記訂正符号／シンドローム回路 1 1 3 は、ホスト 3 がNANDフラッシュメモリ 2 から読み出すリードデータに対して、シンドローム演算を実行する。このシンドローム演算の結果作成されたシンドロームは、訂正回路 1 1 4 に入力される。上記訂正回路 1 1 4 は、上記入力されたシンドロームを基にデータに誤りがあるか否かを判定する。データ誤りがなければ、正常に読み込みが行われた旨の正常終了情報を作成し、この情報を出力する。

【 0 0 3 4 】

一方、データ誤りがあった場合は、上記訂正回路 1 1 4 は誤りデータのアドレスと訂正に必要なデータ情報とからなる訂正情報を作成する。さらに、上記訂正回路 1 1 4 は、訂正処理が正常に終了した旨の訂正終了情報を作成し、上記訂正終了情報を出力し、続いて上記訂正情報を出力する。ところで、データ誤りがあった場合において、上記訂正回路 1 1 4 は、後述する所定値以上のエラーを検出した場合には訂正不可能であると判定する。そして上記訂正回路 1 1 4 は、上記訂正不可能である旨の異常終了情報を作成し、この異常終了情報を出力する。

【 0 0 3 5 】

上記訂正回路 1 1 4 から出力されたデータは、信号線ADRS/EDATA[7:0]を介してセクタ 1 0 9 に入力される。上記セクタ 1 0 9 は、制御回路 3 0 0 から入力される制御信号HDOSにより選択されたデータを出力する。上記セクタ 1 0 9 から出力されたデータはフリップフロップ 1 1 0 に入力される。上記フリップフロップ 1 1 0 は、入力されたデータをクロックREo_CLKでラッチする。上記フリップフロップ 1 1 0 から出力されたデータは、信号線HDO_REiN[7:0]を介してトライステートバッファ 1 1 1 に入力される。上記トライステートバッファ 1 1 1 は、制御回路 3 0 0 から入力される制御信号HOUTEに基づいてデータの出力を行う。上記トライステートバッファ 1 1 1 から出力されたデータは、上記バスFDHから上記ホスト 3 へ出力される。

【 0 0 3 6 】

図 5 は、本実施形態で採用するブロックデータのフォーマットを示す図である。1 ブロックは、例えば 5 2 8 バイトで構成される。この 1 ブロックは、ユーザ領域 5 1 2 バイトと冗長領域 1 6 バイトとに分けられる。例えば、ユーザ領域が 1 6 M バイトのメモリカードは、上記ブロックを 3 2 K 個備える。E C C の符号化方式は、例えばリードソロモン符号を使用し、4 シンボル（1 シンボルが 1 0 ビット）でエラー訂正を行うものとする。ユーザ領域 5 1 2 バイトのデータに対しては、8 シンボル（8 0 ビット）、すなわち 1 0 バイトの E C C コードを生成する。

【 0 0 3 7 】

図 5 において、フォーマット 0 は、ユーザ領域の直後に E C C コードを挿入する形式である。フォーマット 1 は、ユーザ領域の後に 1 バイトの冗長領域を設け、その後に E C C コードを挿入する形式である。フォーマット 2 は、ユーザ領域の後に 2 バイトの冗長領域を設け、その後に E C C コードを挿入する形式である。フォーマット 3 は、ユーザ領域の後に 3 バイトの冗長領域を設け、その後に E C C コードを挿入する形式である。フォーマット 4 は、ユーザ領域の後に 4 バイトの冗長領域を設け、その後に E C C コードを挿入する形式である。フォーマット 5 は、ユーザ領域の後に 5 バイトの冗長領域を設け、その後に E C C コードを挿入する形式である。フォーマット 6 は、ユーザ領域の後に 6 バイトの冗長領域を設け、その後に E C C コードを挿入する形式である。

【 0 0 3 8 】

なお、フォーマット 6 において、ユーザ領域 5 1 2 バイトに更に冗長領域 6 バイトをユーザに割り当てることも可能である。この場合は、この冗長領域 6 バイトを加えた保護対象データ 5 1 8 バイトに対して、1 0 バイトの E C C コードを生成することも可能である。これにより、5 1 8 バイトをユーザ領域として使用可能となる。フォーマットの種類と保護対象データの選択（5 1 2 バイト／5 1 8 バイト）は、例えば E C C コントローラ 1 内の図示しないモードレジスタにホスト 3 が予め設定する。本実施形態では、5 1 8 バイトを保護対象データとしたフォーマット 6 を使用する。

【 0 0 3 9 】

以下、図 6 乃至図 1 1 を参照して図 2 のように構成された E C C コントローラ 1 の動作を説明する。

先ず、ホスト 3 から入力されるコマンド及びアドレスの出力動作を説明する。図 6 は、コマンド及びアドレスの出力動作のタイミングチャートを表す図である。

ホスト 3 が CLE 信号を出力し、続いてコマンド CMD、例えばブロックライトコマンドをバス FDH に出力したとする。すると E C C コントローラ 1 は、これを検知して N A N D フラッシュメモリ 2 に対してイネーブルインターフェース／クロックジェネレータ回路 2 0 0 から CLEo 信号を出力し、さらに上記ブロックライトコマンドをラッチせずにバス FDN へ出力する。更に、ホスト 3 が ALE 信号を出力し、続いてアドレス（A D R S 1 及び A D R S 2）をバス FDH に出力すると、E C C コントローラ 1 は N A N D フラッシュメモリ 2 に対して ALEo 信号を出力し、さらに上記 A D R S 1 及び A D R S 2 をラッチせずにバス FDN へ出力する。これでデータライトが可能となる。尚、NAND フラッシュメモリ 2 からデータリードを行う場合も同様である。

【 0 0 4 0 】

次に、データの書き込み動作を説明する。図 7 は、データの書き込み動作のタイミングチャートを表す図である。

ホスト 3 がバス FDH にライトデータ WD 1 を出力すると、E C C コントローラ 1 はこのライトデータ WD 1 を上記データバス／訂正回路 1 0 0 に入力する。次に E C C コントローラ 1 は、ライトデータ WD 1 をクロック WE_CLK の立上がりでラッチして信号線 HDI_WEi[7:0] に出力する。次に E C C コントローラ 1 は、ライトデータ WD 1 をクロック WEo_CLK の立ち下がりでラッチして信号線 NDO_WEoN[7:0] に出力する。そして E C C コントローラ 1 は、ライトデータ WD 1 をバス FDN から N A N D フラッシュメモリ 2 に出力する。後続のブロックライトデータ WD 2 及び WD 3 についても同様の処理を行う。なお、ライトデータを信号線 FDHI[7:0] を使用してスルー出力させることも可能である。この場合、E C C コントローラ 1 は、信号線 FDHI[7:0] により転送されるデータを選択する旨の制御信号 FDHIS を制御回路 3 0 0 から生成し、セクタ 1 0 5 に入力する。これにより、セレ

クタ 1 0 5 からスルーしたライトデータが出力される。同様の処理が 5 1 8 回繰り返されて 6 バイトの冗長領域を含む保護対象領域のデータの書き込みが終了する。その後、訂正符号／シンドローム回路 1 1 3 で生成された 1 0 バイトの ECC コードがバス FDN から NAND フラッシュメモリ 2 に転送され、5 2 8 バイトのブロックデータの書き込みが終了する。これに付いては後で詳述する。

【 0 0 4 1 】

次に、NAND フラッシュメモリ 2 からのデータの読み込み動作を説明する。図 8 は、データの読み込み動作のタイミングチャートを表す図である。

ホスト 3 からブロックリードコマンドが送出されると ECC コントローラ 1 がこれを検知してデータライト時と同様にデータリード可能状態に設定される。

【 0 0 4 2 】

NAND フラッシュメモリ 2 がバス FDN にリードデータ R D 1 を出力すると、ECC コントローラ 1 はこのリードデータ R D 1 を上記データバス／訂正回路 1 0 0 に入力する。次に ECC コントローラ 1 は、リードデータ R D 1 をクロック RE_CLK の立ち上がりでラッチして信号線 NDI_REo[7:0] に出力する。次に ECC コントローラ 1 は、リードデータ R D 1 をクロック REo_CLK の立下りでラッチして信号線 HDO_REiN[7:0] に出力する。そして ECC コントローラ 1 は、リードデータ R D 1 をバス FDH からホスト 3 に出力する。後続のリードデータ R D 2 及び R D 3 についても同様の処理を行う。なお、ECC コントローラ 1 がリードデータをラッチせずに出力すると、ECC コントローラ 1 の内部遅延により、ホスト 3 でのリードデータ受信時のセットアップマージンが減少する。ECC コントローラ 1 のリードデータのラッチ処理は、これを回避するために有効である。

【 0 0 4 3 】

次に、保護対象データが 5 1 8 バイトである上記フォーマット 6 のブロックから構成されるライトデータの書き込み動作を説明する。図 9 は、上記ライトデータの書き込み動作のフローを示す図である。図 1 0 は、上記ライトデータの書き込み動作におけるタイミングチャートを示す図である。

【 0 0 4 4 】

ホスト 3 がライトデータの書き込みを行うための命令であるブロックライトコ

マンドを実行したとする。ECCコントローラ1は、バスFDHを介して上記ブロックライトコマンドを検知してデータ書き込み処理を開始すると共に、このブロックライトコマンドをNANDフラッシュメモリ2に出力する。次にECCコントローラ1は、ホスト3が出力したアドレスをNANDフラッシュメモリ2に出力する。

【0045】

次にECCコントローラ1は、例えば上記ブロックライトコマンドを検知して518にプリセットされるカウンタ400によりバスFDHから入力されたライトデータWD1～WD518のバイト数のカウントを開始する。次にECCコントローラ1は、バスFDHから入力されたライトデータWD1～WD518をクロックWE_CLKでラッチする。そしてECCコントローラ1は、上記ライトデータWD1～WD518を選択する旨の制御信号NDOSを生成し、セクタ103に入力する。またECCコントローラ1は、上記ライトデータWD1～WD518を選択する旨の制御信号DINSを生成し、この制御信号DINSをセクタ112に入力する。

【0046】

ECCコントローラ1は、セクタ112から出力された上記ライトデータWD1～WD518を基に、上記訂正符号／シンドローム回路113により上記ライトデータWD1～WD518に対するECCコードを生成する。次にECCコントローラ1は、上記生成した10バイトのECCコードCODE1～CODE10を、冗長領域6バイトを含む518バイトの保護対象領域に続いてホスト3が出力した10バイトのダミーライトデータであるインバリッドライトデータ（Invalid Data）の代わりに冗長領域に挿入するための制御信号NDOSを生成し、セクタ103に入力する。

【0047】

ECCコントローラ1は、セクタ103から出力されたECCコードが挿入されたライトデータをクロックWEo_CLKでラッチする。この際、ECCコントローラ1は、ユーザ領域内の最後のライトデータWD518をラッチした後、クロックWEo_CLKを1パルス分マスクするため、制御信号MSK_WEを生成し、NOR回

路 209 に入力する。このタイミングは、カウンタ 400 のカウント値を使用し
て行う。これにより、インバリッドデータ (Invalid Data) をラッチしないよう
にする。

【0048】

次に ECC コントローラ 1 は、上記ラッチされたライトデータを選択する旨の
制御信号 FDHIS を生成し、セクタ 105 に入力する。ECC コントローラ 1 は
、セクタ 105 から出力されたライトデータを NAND フラッシュメモリ 2 に
順次出力する。

【0049】

一方ホスト 3 は、自動プログラムコマンドを実行して CLE 信号及び WE 信号をア
サートする。次にホスト 3 は、NAND フラッシュメモリ 2 のステータスを検出
するためのステータスリードコマンドを実行し、R/B 信号をポーリングする。
そして、R/B 信号が H レベルになるのを検出した時点で、当該ブロックライト
データの書き込みを完了し、必要に応じて次のブロックライトコマンドを実行す
る。

【0050】

次に、NAND フラッシュメモリ 2 からのリードデータの読み込み動作を説明
する。図 11 は、上記リードデータの読み込み動作のフローを示す図である。

ホスト 3 がリードデータの読み込みを行うための命令であるブロックリードコ
マンドを実行したとする。ECC コントローラ 1 は、バス FDH を介して上記ブロ
ックライトコマンドを検知してデータ読み込み処理を開始すると共に、このブロ
ックリードコマンドを NAND フラッシュメモリ 2 に出力する。次に ECC コン
トローラ 1 は、ホスト 3 が出力したアドレスを NAND フラッシュメモリ 2 に出
力する。次にホスト 3 は、R/B 信号をポーリングし、レディー状態を検出する
と、NAND フラッシュメモリ 2 からリードデータの転送を開始する。

【0051】

ECC コントローラ 1 は、バス FDN から入力されたリードデータ 528 バイト
(リードデータ RD1 ~ RD512, 冗長部リードデータ RD513 ~ RD51
8, ECC リードデータ CODE1 ~ CODE10) をクロック RE_CLK によりラ

ッチする。そしてECCコントローラ1は、このリードデータを選択する旨の制御信号HDOSを生成し、セクタ109に入力する。またECCコントローラ1は、上記ラッチされたリードデータを選択する旨の制御信号DINSを生成し、セクタ112に入力する。ECCコントローラ1は、セクタ112から出力されたリードデータに対して上記訂正符号／シンドローム回路113によりシンドロームを作成する。ECCコントローラ1は、上記シンドロームに基づいて上記訂正回路114においてデータ誤りを判定する。データ誤りが検出されない場合、ECCコントローラ1は、上記正常終了情報を作成する。そしてECCコントローラ1は、この正常終了情報を選択する旨の制御信号HDOSを生成し、セクタ112に入力する。

【0052】

一方、データ誤りが検出された場合には、ECCコントローラ1は訂正処理を実行し、誤りデータのアドレスと訂正に必要なデータ情報とからなる訂正情報を作成する。この訂正処理が終了した場合、ECCコントローラ1は上記訂正終了情報を作成する。そして、ECCコントローラ1は上記訂正終了情報及び訂正情報を選択する旨の制御信号HDOSを生成し、セクタ109に入力する。なお、データ誤りがあった場合において、ECCコントローラ1は5シンボル以上のエラーデータを検出すると、エラー訂正が不可能であると判定し、上記異常終了情報を作成する。そしてECCコントローラ1は、セクタ109から出力された各データをクロックREo_CLKによりラッチし、ホスト3に出力する。更に、ECCコントローラ1は、ホスト3からの次のブロックリードコマンドが有ればこれを実行する。

【0053】

次に、図2の制御回路300におけるクロックモード制御機能301におけるWE/REクロック代用モードについて説明する。

NANDフラッシュメモリ2としてクロックDCLKを持たないバスプロトコルを使用するメモリカードが用いられる場合には、ECCコントローラ1を駆動するための上記クロックDCLKが得られない。ここで上記クロックDCLKとは、ホスト3から入力されるデータより得られるクロック、或いはホスト3から直接入力されるク

ロックである。このため、E C C コントローラ 1 は、WE/RE クロック代用モードを実行する。WE/RE クロック代用モードへの切り替えは、ユーザが例えば外部入力手段から設定してもよいし、ホスト 3 を経由して設定するようにしてもよい。また、E C C コントローラ 1 がクロックを持たないメモリカードを検出する機能を備え、自動的に設定するようにしてもよい。

【0 0 5 4】

E C C コントローラ 1 は、WE/RE クロック代用モードが選択されると、クロックモード制御機能 3 0 1 から WE 信号と RE 信号の A N D 信号をクロック CLK として選択する旨の制御信号 DCLKSEL を生成し、上記図 3 に示した E I / C G 回路 2 0 0 内のセクタ 2 2 2 に入力する。次に E C C コントローラ 1 は、ホスト 3 からブロックライトコマンドとアドレスが入力されたのを検出すると、上記カウンタ 4 0 0 を起動する。上記カウンタ 4 0 0 は、この時点から WE 信号のパルスのカウントを開始する。

【0 0 5 5】

次に E C C コントローラ 1 は、上記カウンタ 4 0 0 のカウント値が上記データフォーマットに基づいた所定の値（本実施形態では、1 ブロックが 5 2 8 バイトなので、カウント値は 5 2 8、或いは 5 2 8 にプリセットされた場合はゼロ）になるのを検出すると、パルスをマスクするために MSK_WE 信号を生成して、上記 E I / C G 回路 2 0 0 内の N O R 回路 2 1 7 に入力する。そして、上記 N O R 回路 2 1 7 から出力される WEo 信号及びクロック WEo_CLK は、厳密なタイミングでマスクされる。これにより、E C C コントローラ 1 は、N A N D フラッシュメモリ 2 のアクセスに必要なパルスのみ選択的に出力し、N A N D フラッシュメモリ 2 のアクセスに不要なパルスを出力しないよう制御することができる。なお、データリード時の RE 信号においても同様である。

【0 0 5 6】

次に、上記図 3 を参照して、制御回路 3 0 0 に設けられた C E モード制御機能 3 0 2 におけるスタティック C E モードについて説明する。E C C コントローラ 1 が例えば 3 個の N A N D フラッシュメモリ 2 を同時に制御するものとする。ホスト 3 が 3 個の N A N D フラッシュメモリ 2 に対して 3 つのチップイネーブル（

CE) 信号を独立に割り当てることが可能なシステムでは、前述した通常のダイナミックCEモードを使用する。このダイナミックCEモードでは、ECCコントローラ1はホスト3から入力された信号CE[3:0]をスルー出力し、指定されたNANDフラッシュメモリ2に信号CEo[3:0]として出力される。ここでは、チップイネーブル信号CE[3:0]は4ビット構成であり、最大で15通りのCE信号とすることができる。

【0057】

一方、ホスト3が周辺IOデバイスに対して一度に1つのCE信号しかアサートできないシステムであり、3個のNANDフラッシュメモリ2に対して1つのCE信号しか割り当てがない場合には、ECCコントローラ1はスタティックCEモードを実行する。スタティックCEモードの設定方法としては、例えばホスト3がECCコントローラ1に対して設定する。またECCコントローラ1は、ホスト3がCE信号をアサートするのを検出した場合に、スタティックCEモードを設定するようにしてもよい。

【0058】

スタティックCEモードが選択されると、ECCコントローラ1は、例えばECCコントローラ1に備えられた図示しないモードレジスタをスタティックCEモードに設定する。さらにECCコントローラ1は、スタティックCEレジスタの値であるスタティックCEをIOレジスタに設定する。上記スタティックCEは、CE[3:0]信号と同様に4ビットで構成される。また、上記スタティックCEとして“0”を設定することでCE信号がアサートされる。ECCコントローラ1は、このスタティックCEを上記EI/CG回路200内のセクタ202に inputsする。またECCコントローラ1は、スタティックCEモード信号(STATIC_CE_MODE)を生成し、上記EI/CG回路200内のセクタ202, 208, 216に inputsする。これにより、上記セクタ202からスタティックCEが出力され、ホスト3はCE[3:0]信号をディアサートしてもNANDフラッシュメモリ2の読み込み処理の継続が可能となる。ホスト3は、NANDフラッシュメモリ2がビジー期間中に、並列処理でNANDフラッシュメモリ2以外のデバイスに対してCE信号をアサートし、そのデバイスにアクセスすることが可能となる

。

【0059】

なお、スタティックCEモードでは、3個のNANDフラッシュメモリ2に対して1つのCE信号が割り当てられるが、本実施形態のCE[3:0]信号（4ビット）のうちいずれか1ビットを上記CE信号として割り当てることが可能である。上記割り当てられたCE[3:0]信号のうちの1ビットがアサートされた場合に、NANDフラッシュメモリ2に対してリード或いはライトアクセスが可能となる。上記割り当てられたCE[3:0]信号のうちの1ビットがアサートされた場合のみ、WE信号或いはRE信号がスルーでNANDフラッシュメモリ2に出力される。上記CE[3:0]信号がすべて“H”の場合は、WEo信号或いはREo信号をマスクする。WEo信号或いはREo信号のマスクは、MSK_WE信号或いはMSK_RE信号により行う。

【0060】

次に、図2のエラー割り込み制御機能304の割り込み処理の動作について説明する。

NANDフラッシュメモリ2からホスト3へのブロックリードデータの読み込みが終了すると、ECCコントローラ1は、“ff”データを図4の上記データバス／訂正回路100内のセクタ109に入力し、バスFDHから上記“ff”データをホスト3に出力する。これにより、ECCコントローラ1は、ホスト3に対してエラー検出処理中であることを通知する。所定サイクル後、ECCコントローラ1は、エラーの有無を表す“エラー有無情報”を作成し、ホスト3に対してこの“エラー有無情報”を1サイクル出力後、再び“ff”データをホスト3に出力し続ける。所定サイクル後、ECCコントローラ1は、エラーの数を表す“エラー見積もり数情報”を作成し、ホスト3に対してこの“エラー見積もり数情報”を1サイクル出力後、再び“ff”データをホスト3に出力し続ける。所定サイクル後、ECCコントローラ1は、エラー訂正が正常に完了したことを表す“エラー訂正完了正常終了情報”を作成し、ホスト3に対してこの“エラー訂正完了正常終了情報”を1サイクル出力する。一方、エラー訂正が正常に完了しなかった場合、“エラー訂正不可能異常情報”を作成し、ホスト3に対して1サイクル出力する。

【0061】

ここで、上記処理が非割り込みモードでの処理の場合、“エラー訂正完了正常終了情報”ならば引き続きエラーアドレス及び訂正に必要なデータ情報をホスト3に出力し、処理を終了する。“エラー訂正不可能異常情報”ならば、そのまま処理を終了する。

【0062】

一方、上記処理が割り込みモードでの処理の場合、ECCコントローラ1は“エラー訂正完了正常終了情報”ならば、割り込み(INTN)信号をアサートし、上記“エラー訂正完了正常終了情報”をバスFDNに出力し続ける。ホスト3は、割り込みを受け付けると、割り込み内容情報を取得し、ECCコントローラ1に対して割り込み許可である旨のアクノリッジコマンドを出力する。ECCコントローラ1は、上記アクノリッジコマンドをマスクして、NANDフラッシュメモリ2に出力しない。ECCコントローラ1は、上記アクノリッジコマンドが入力されると、上記INTN信号をディアサートし、RE信号に同期してエラーアドレス及び訂正に必要なデータ情報を順次出力する。ECCコントローラ1は、上記エラーアドレス及び訂正に必要なデータ情報をすべて出力すると、処理を終了する。

【0063】

また、“エラー訂正不可能異常情報”ならば、ホスト3は、割り込みを受け付けると、割り込み内容情報を取得し、ECCコントローラ1に対して上記アクノリッジコマンドを出力する。ECCコントローラ1は、上記アクノリッジコマンドが入力されると、上記INTN信号をディアサートし、処理を終了する。

【0064】

次に、図2のECC領域制御機能303に含まれるECCコード格納領域可変機能の動作について説明する。

上記ECCコントローラ1は、上記図5に示したブロックデータの各フォーマットのうち、ECCコードを挿入する領域を冗長領域内の任意の場所に指定できる機能を備える。フォーマット情報の選択方法としては、ECCコントローラ1に入力手段を設け、ユーザが設定するようにしてもよいし、ユーザが選択したフォーマット情報をホスト3がECCコントローラ1に設定するようにしてもよい

。例えばホスト 3 が、ECC コントローラ 1 内のモードレジスタにフォーマット情報を書き込んだとする。ECC コントローラ 1 は、上記カウンタ 400 がカウントする値が、上記設定されたフォーマットにより決められる値になった時点で、上記訂正符号／シンドローム回路 113 が作成した ECC コードを順次挿入する。例えば上記図 5 に示したフォーマット 1 の場合、カウント値が 513 になった時点で ECC コードの挿入を開始する。この処理は、セクタ 103 に入力される制御信号 NDOS のタイミングを制御することにより行う。

【0065】

次に、図 2 の専用コマンド実行モード制御機能 305 における ECC コントローラ専用コマンド実行モードについて説明する。

ECC コントローラ 1 の専用コマンドを定義する場合、メモ리카ードのコマンドセットの中の未使用コードを専用コマンドとして割り当てる必要がある。この場合、ECC コントローラ 1 の専用コマンド数が限定されるため、ECC コントローラ 1 の多機能化の弊害となる。この実施形態では、専用コマンドを 2 つ使用するだけで、ECC コントローラ 1 の専用命令を実行する。例えば ECC コントローラ 1 の専用コマンドとして、コマンド 90 (CMD 90) とコマンド 91 (CMD 91) を定義する。ホスト 3 が CMD 90 を実行すると ECC コントローラ 1 専用コマンド実行モードに入り、CMD 91 を実行すると ECC コントローラ 1 専用コマンド実行モードから抜ける。ECC コントローラ 1 は、このモード中、ホスト 3 から入力されたコマンドをマスクして NAND フラッシュメモリ 2 に上記コマンドを出力しない機能を備える。

【0066】

具体的には、上記 EI / CG 回路 200 内の NOR 回路 209 に入力するマスク信号 (MSK_WE) を制御し、NAND フラッシュメモリ 2 に出力される WEo 信号を、ホスト 3 が出力する WE 信号に関わらずディアサートする。また、上記 EI / CG 回路 200 内の NOR 回路 217 に入力するマスク信号 (MSK_RE) を制御し、NAND フラッシュメモリ 2 に出力される REo 信号を、ホスト 3 が出力する RE 信号に関わらずディアサートする。これにより、ホスト 3 により CMD 90 が実行されると、ホスト 3 は ECC コントローラ 1 に対してメモ리카ードのコマンド

セットと同一のコードを使用して、ECCコントローラ1に命令を実行することが可能となる。よって、多くのECCコントローラ1専用コマンドを定義して、ECCコントローラ1の多機能化を実現できる。

【0067】

以上詳述したようにこの実施形態では、ホスト3とNANDフラッシュメモリ2間のバスをECCコントローラ1が中断するアーキテクチャにしている。よって、例えば多値化データに対応して機能を強化したECC回路を追加する場合に、ホスト3及びNANDフラッシュメモリ2の設計変更等が不要になる。

【0068】

ECCコントローラ1は、ECCコントローラ1の内部遅延時間を等しく揃え、かつホスト3が出力する制御信号とECCコントローラ1が出力する制御信号とで二重にラッチしている。よって、ホスト3或いはNANDフラッシュメモリ2は、データ受信時のタイミングマージンを確保することができる。また、ホスト3から入力されたデータをラッチするか、スルー出力するかを選択することができるので、データの種類により自由に対応することが可能である。

【0069】

又、ECCコントローラ1は、バス監視機能を備えているので、システムにECCコントローラ1の専用コマンドを新規に追加しなくても、自動的にECC機能を付加することができる。

【0070】

さらに、クロックを持たないメモリカードなどに用意されたバスプロトコルにECCコントローラ1を適用する場合でも、例えばライトイネーブル信号或いはリードイネーブル信号をクロックとして代用することができるため、クロックが無いシステムにもECCコントローラ1を追加することができる。また、メモリカードに必要なライトイネーブル信号或いはリードイネーブル信号のみをメモリカードに出力するようにしているので、不要なライトイネーブル信号或いはリードイネーブル信号がメモリカードに入力され、メモリカードが誤動作することを防止できる。

【0071】

また、ホスト 3 が例えば I O デバイスに対して 1 つのチップイネーブル信号しかアサートできないシステムにおいて、ECC コントローラ 1 がホスト 3 に代わってチップイネーブル信号をアサートする機能を備えている。よって、ホスト 3 が他のデバイスに対してチップイネーブル信号をアサートしても、NAND フラッシュメモリ 2 のアサートを継続して行うことができる。これによりホスト 3 は、NAND フラッシュメモリ 2 をアサート中に、他のデバイスにアクセスして並列処理を行うことが可能となる。

【0072】

ECC コントローラ 1 は、割り込み線をアサート時に同時に割り込み内容情報をバスに出力し続ける機能を備えている。よって、割り込み通知と割り込み内容を同時にホスト 3 に通知することができ、ホスト 3 は NAND フラッシュメモリ 2 の I O レジスタにアクセスする処理を省くことで、ホスト 3 の処理効率を向上できる。

【0073】

ECC コントローラ 1 は、ECC コードを挿入する領域を変更する機能を備えている。よって、NAND フラッシュメモリ 2 の多種類のデータフォーマットに柔軟に対応することができる。

【0074】

ECC コントローラ 1 は、ホスト 3 から入力された所定の専用コマンドをマスクして NAND フラッシュメモリ 2 に出力しない機能を備えている。よってホスト 3 は、NAND フラッシュメモリ 2 のコマンドセットと同一のコードを使用して、ECC コントローラ 1 に命令を実行することが可能となる。これにより、多くの ECC コントローラ 1 専用コマンドを定義して、ECC コントローラ 1 の多機能化を実現できる。

【0075】

この発明は、上記実施形態に限定されるものではなく、メモリカード以外のメモリ、例えば半導体メモリに適用でき、その他、本発明の要旨を変更しない範囲において種々変形して実施可能なことは勿論である。

【0076】

【発明の効果】

以上詳述したように本発明によれば、新たなエラー訂正手段を追加する際に、ホスト或いはメモリ例えばメモリカードなどの半導体メモリにおける既存の回路等を変更することなく、且つホストの負担を増やすことなくECCの機能強化が可能なECC制御装置を提供することができる。

【図面の簡単な説明】**【図 1】**

この発明の実施形態における全体構成を示すブロック図。

【図 2】

図 1 に示したECCコントローラ 1 の内部構成を示すブロック図。

【図 3】

図 2 に示したイネーブルインターフェース／クロックジェネレータ回路 200 の回路構成を示すブロック図。

【図 4】

図 2 に示したデータパス／訂正回路 100 の回路構成を示すブロック図。

【図 5】

本実施形態で採用するブロックデータのフォーマットを示す図。

【図 6】

図 1 に示したECCコントローラ 1 におけるコマンド及びアドレスの出力動作のタイミングチャートを示す図。

【図 7】

図 1 に示したECCコントローラ 1 におけるデータの書き込み動作のタイミングチャートを示す図。

【図 8】

図 1 に示したECCコントローラ 1 におけるデータの読み込み動作のタイミングチャートを示す図。

【図 9】

図 1 に示したECCコントローラ 1 におけるライトデータの書き込み動作のフローを示す図。

【図 1 0】

図 1 に示した ECC コントローラ 1 におけるライトデータの書き込み動作のタイミングチャートを示す図。

【図 1 1】

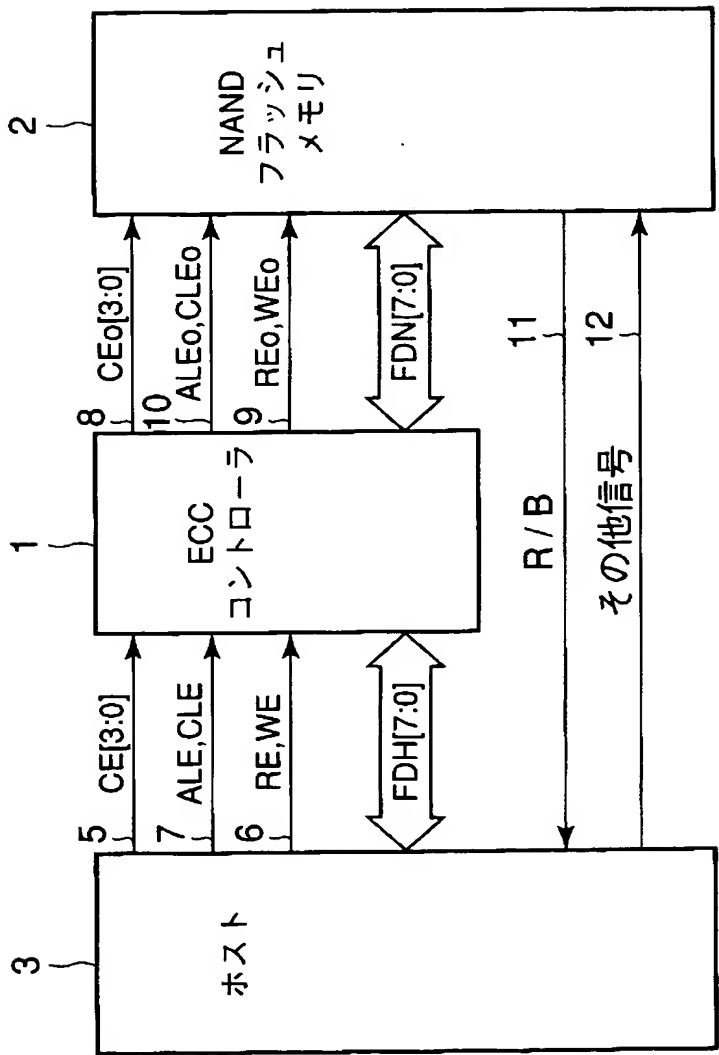
図 1 に示した ECC コントローラ 1 における NAND フラッシュメモリ 2 からのリードデータの読み込み動作のフローを示す図。

【符号の説明】

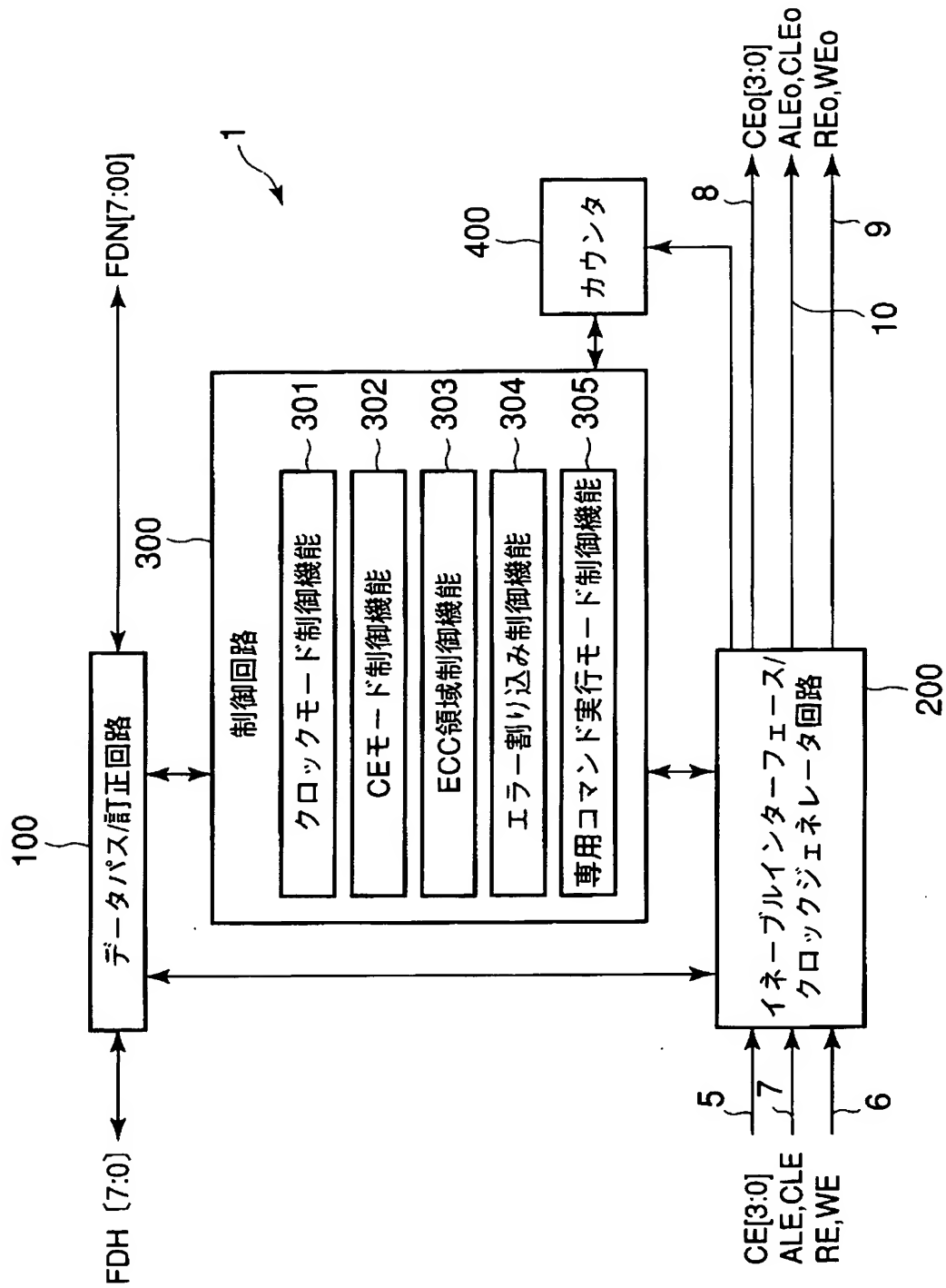
1…ECC コントローラ、2…NAND フラッシュメモリ、3…ホスト、1 0 0…データパス／訂正回路、1 0 1, 1 0 7…バッファ、1 0 2, 1 0 4, 1 0 8, 1 1 0…フリップフロップ、1 0 3, 1 0 5, 1 0 9, 1 1 2…セレクタ、1 0 6…トライステートバッファ、1 1 1…トライステートバッファ、1 1 3…訂正符号／シンドローム回路、1 1 4…訂正回路、2 0 0…イネーブルインターフェース／クロックジェネレータ回路、2 0 1…インバータ回路、2 0 2, 2 0 8, 2 1 6, 2 2 2…セレクタ、2 0 3, 2 0 5, 2 1 0, 2 1 3, 2 1 8, 2 2 3, 2 2 5, 2 2 7…遅延回路、2 0 4, 2 0 6, 2 1 2, 2 1 4, 2 2 4, 2 2 6, 2 2 8…バッファ、2 0 7, 2 1 5…ゲート回路、2 0 9, 2 1 7…NOR 回路、2 1 1, 2 1 9…インバータ回路、2 2 1…AND 回路、3 0 0…制御回路、3 0 1…クロックモード制御機能、3 0 2…CE モード制御機能、3 0 3…ECC 領域制御機能、3 0 4…エラー割り込み制御機能、3 0 5…専用コマンド実行モード制御機能、4 0 0…カウンタ。

【書類名】 図面

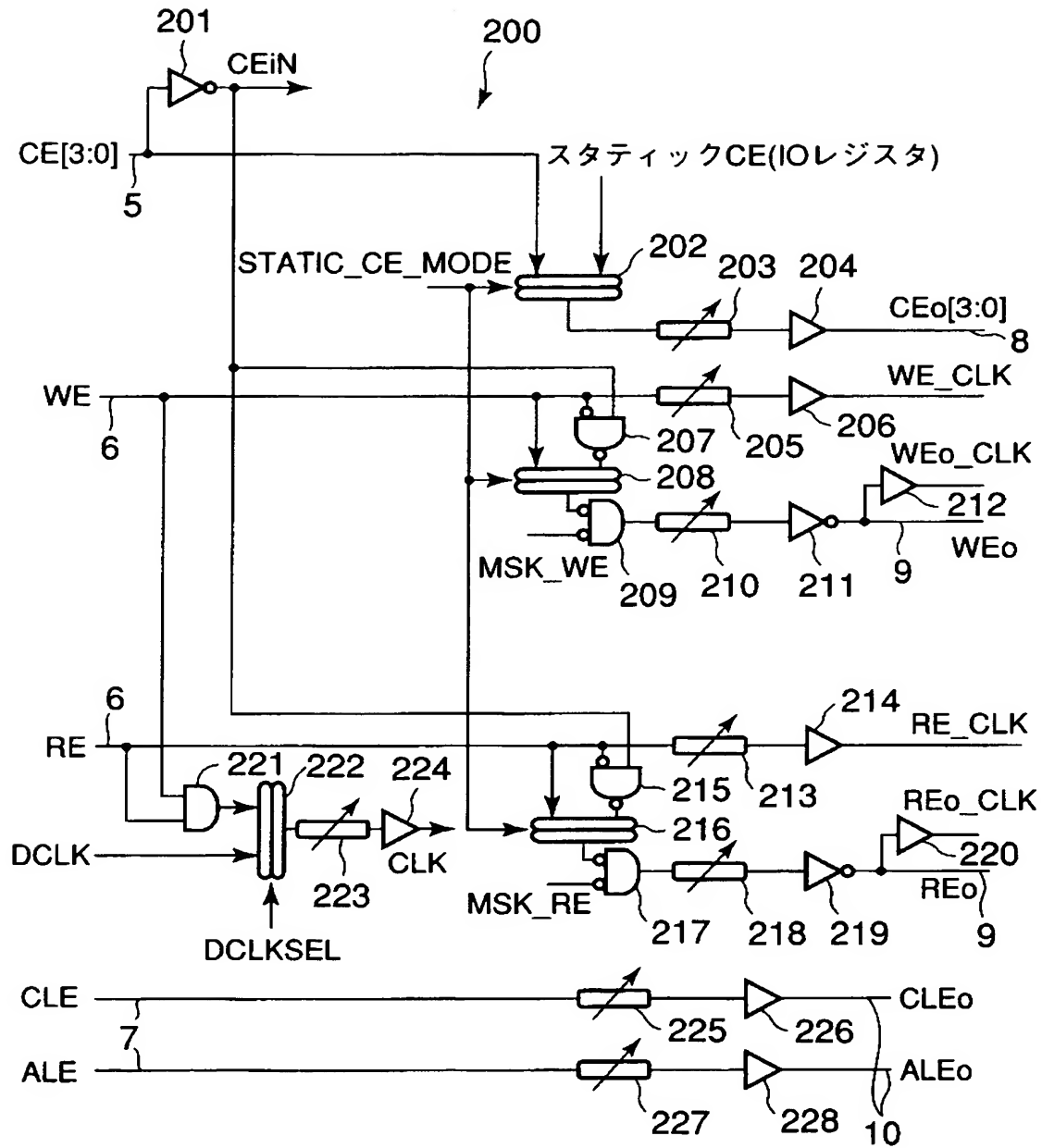
【図 1】



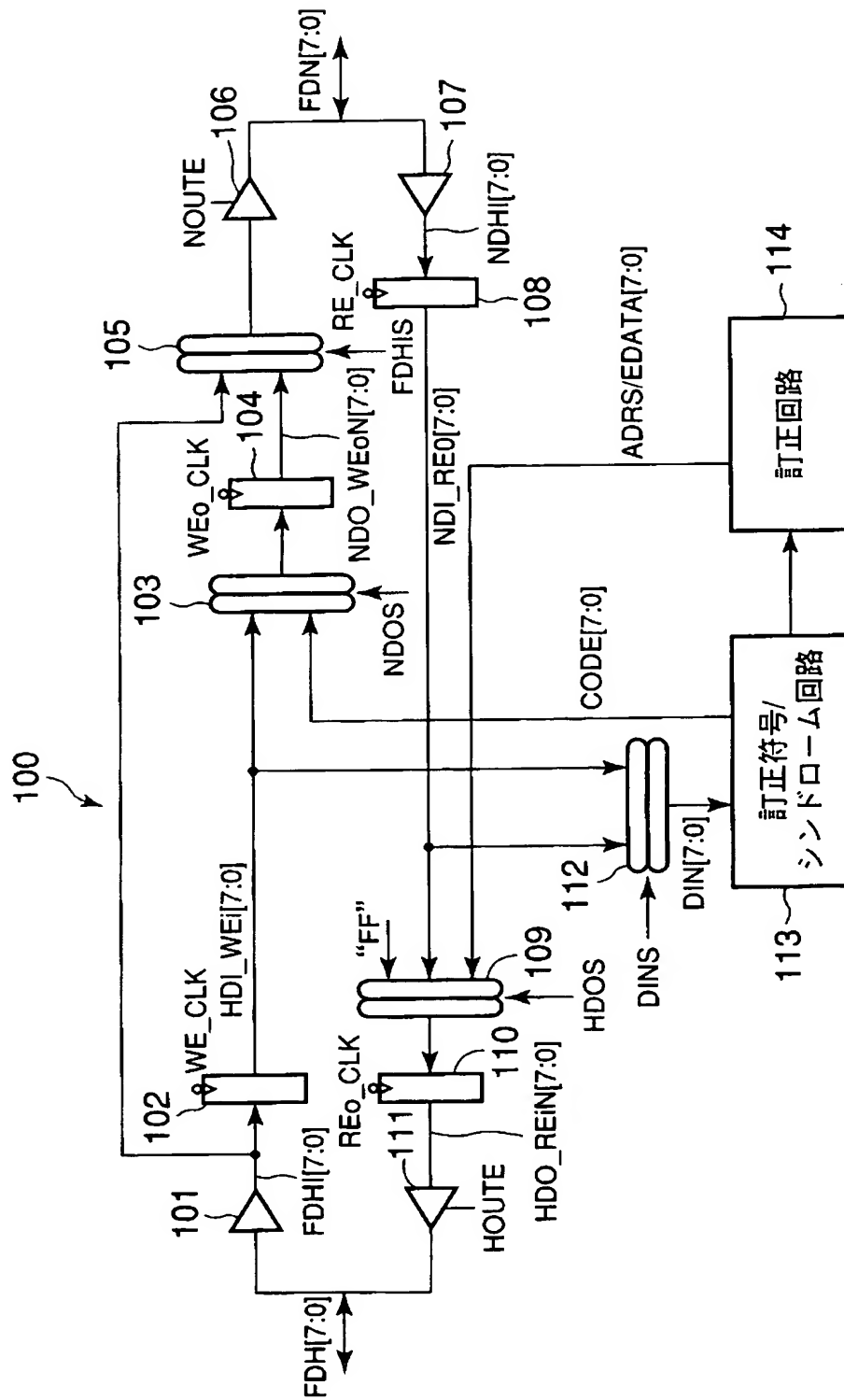
【図 2】



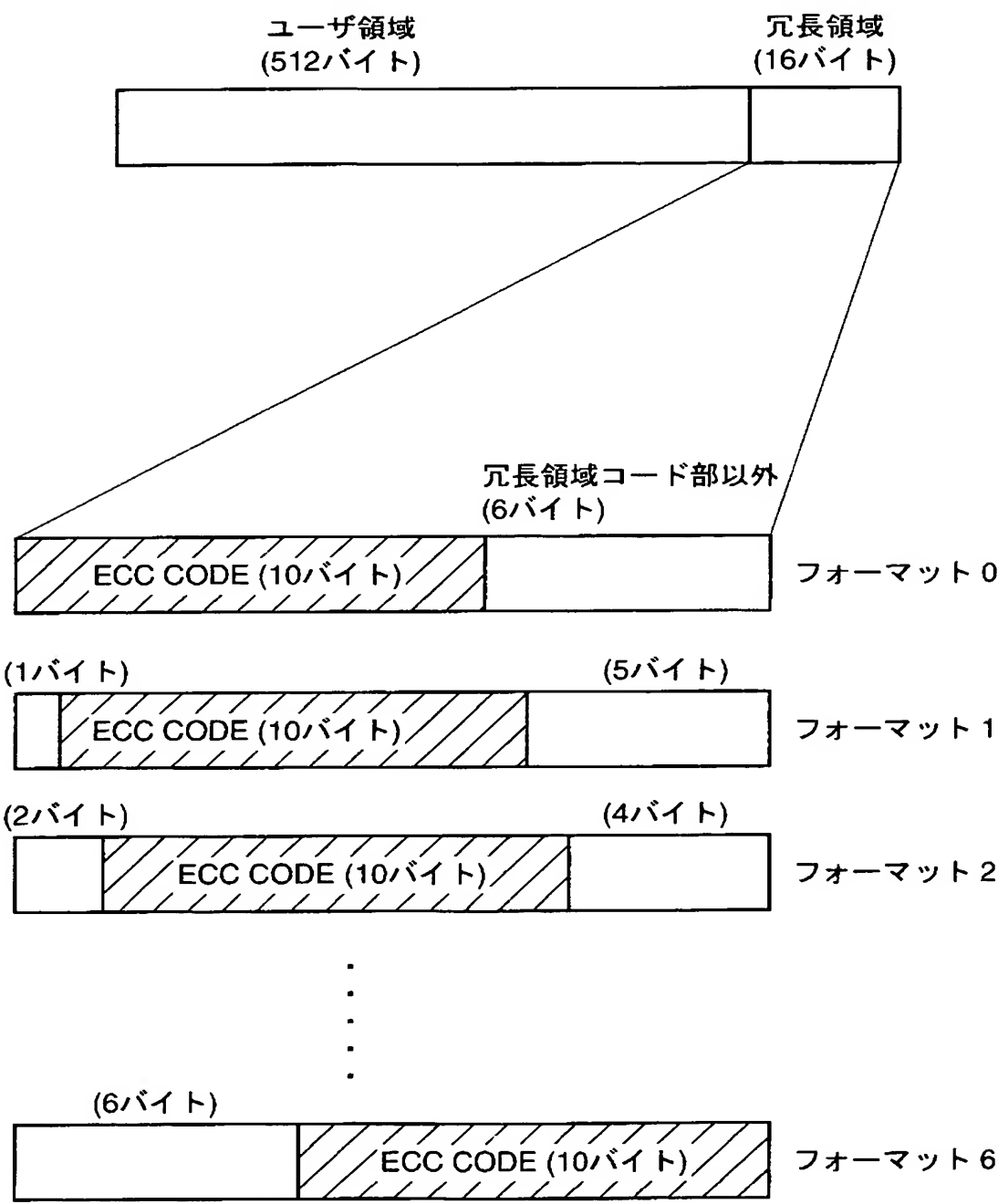
【図 3】



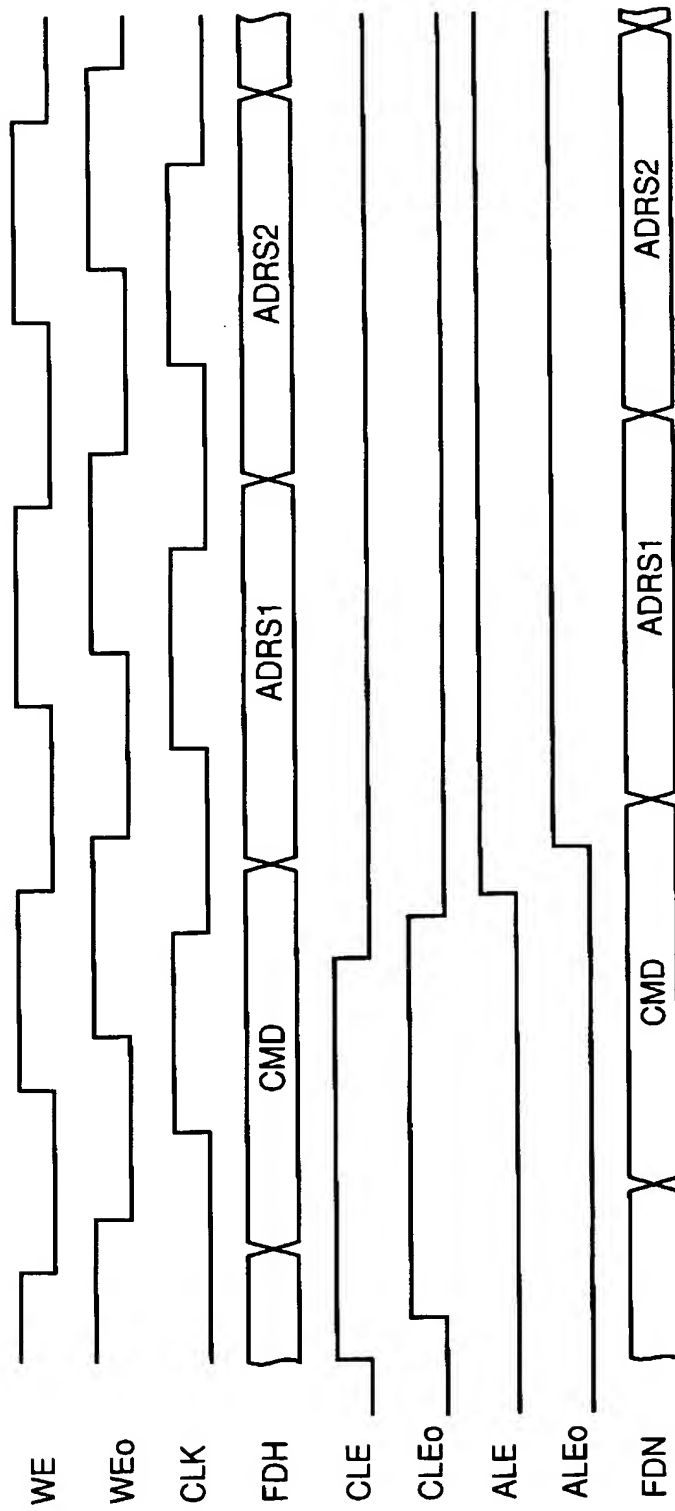
【図 4】



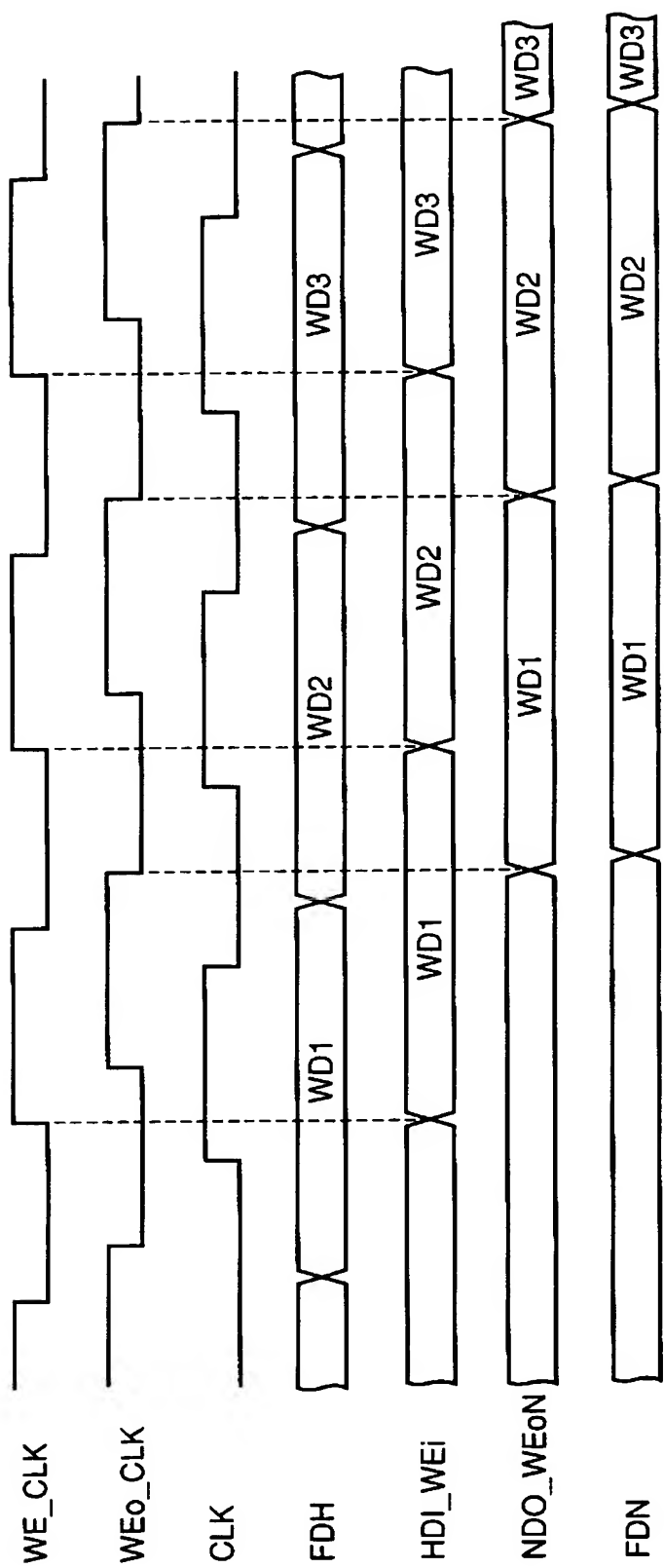
【図 5】



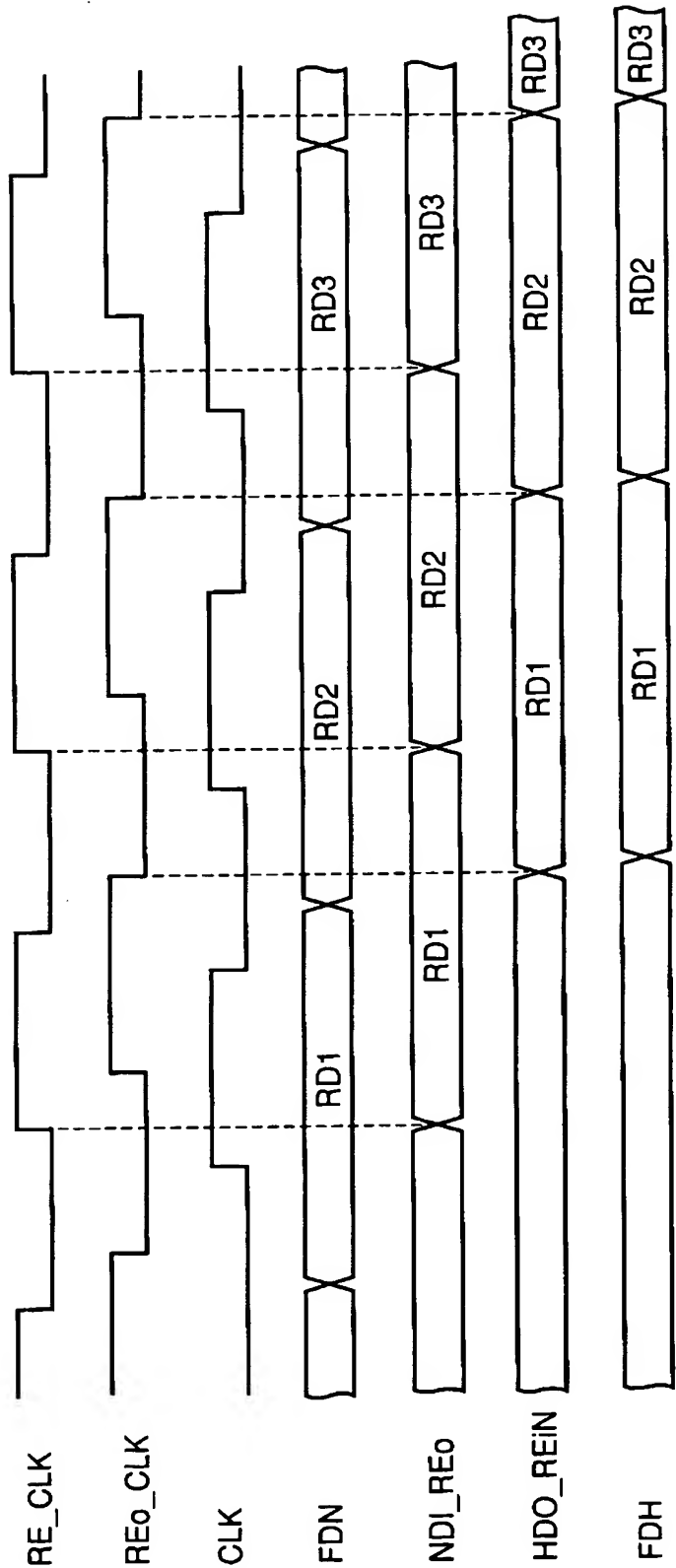
【図 6】



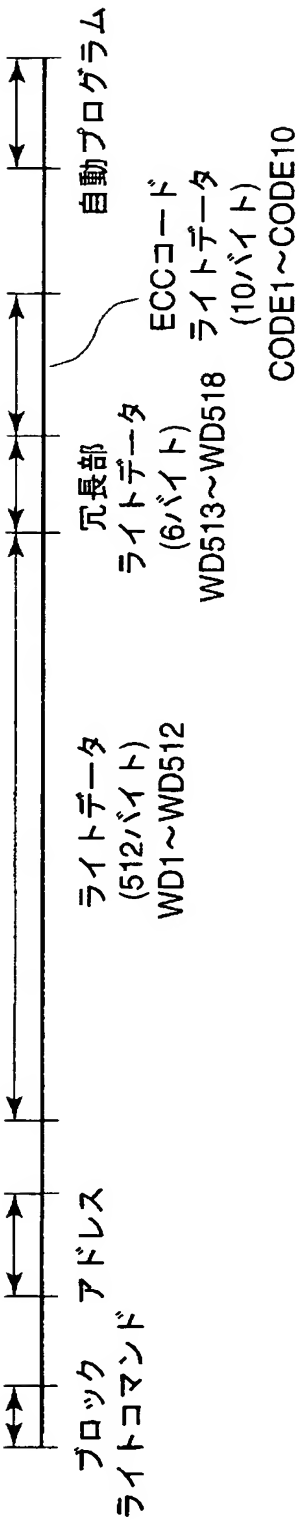
【図 7】



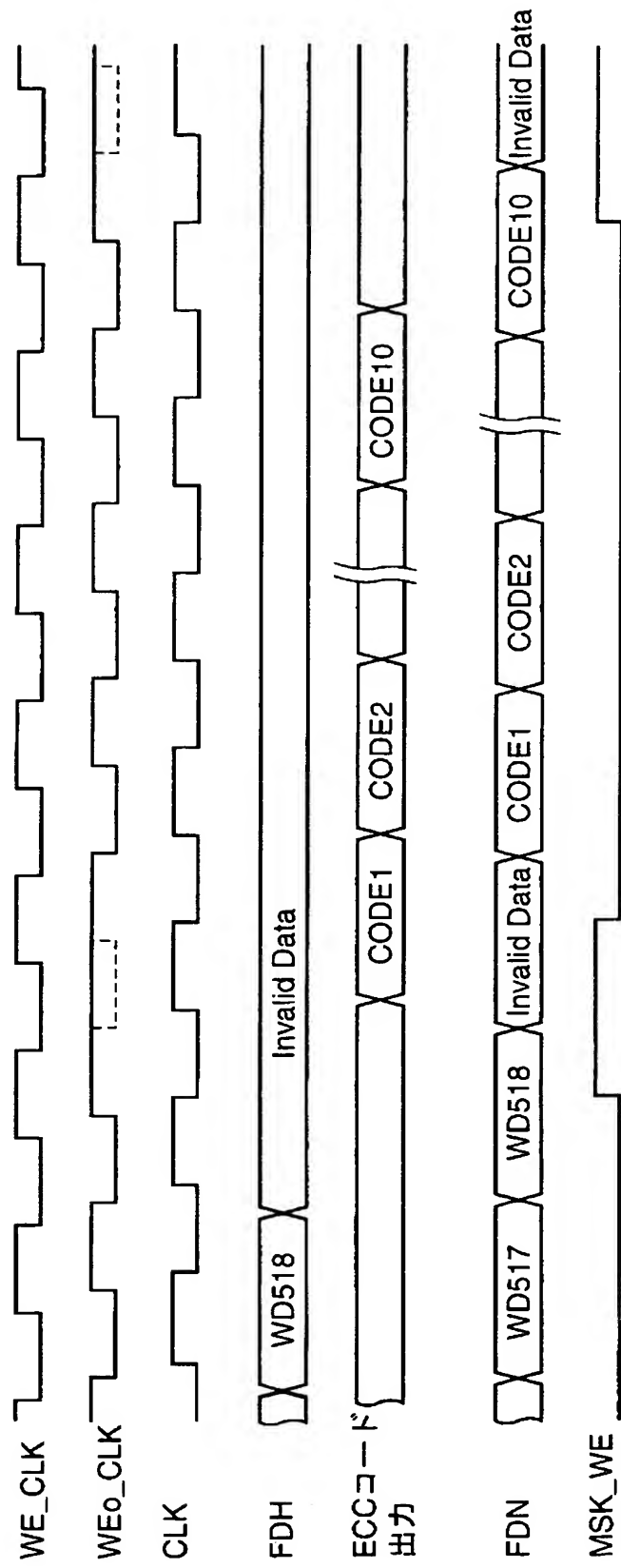
【図 8】



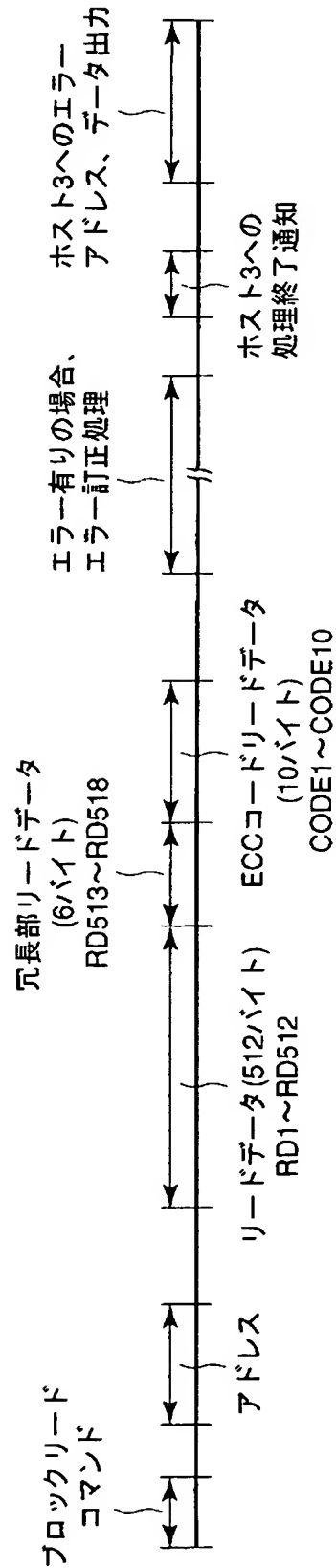
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 ホスト或いはメモリカードにおける既存の回路等を変更することなく、E C C の機能強化を可能とする。

【解決手段】 ホスト 3 と N A N D フラッシュメモリ 2 との間のバスを中断する形で E C C コントローラ 1 を挿入する。E C C コントローラ 1 は、ホスト 3 から入力された所定単位のブロックデータのうち、ユーザ領域と冗長領域とを検出し、上記ユーザ領域に対して E C C コードを作成する。そして、この作成した E C C コードを上記冗長領域に挿入して N A N D フラッシュメモリ 2 に出力する。一方、N A N D フラッシュメモリ 2 から入力された上記ブロックデータに対してシンδροーム演算を行い、訂正処理を実行する。そして、上記ブロックデータと上記訂正処理の結果をホスト 3 に出力するようにしている。

【選択図】 図 2

特願 2 0 0 3 - 0 5 4 6 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 9 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市川崎区駅前本町 2 5 番地 1

氏 名

東芝マイクロエレクトロニクス株式会社

特願 2 0 0 3 - 0 5 4 6 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝